

CLIPPEDIMAGE= JP409148443A

PAT-NO: JP409148443A

DOCUMENT-IDENTIFIER: JP 09148443 A

TITLE: MULTIPOWER GATE ARRAY

PUBN-DATE: June 6, 1997

INVENTOR-INFORMATION:

NAME

OSHIMA, MASAYUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP07303152

APPL-DATE: November 21, 1995

INT-CL (IPC): H01L021/82;H01L027/118 ;H01L027/04
;H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To enable multipower gate array good in use efficiency of an inner cell region, eve in the case where a logical circuit which operates with multipower is constituted within one chip, by constituting this multipower gate array of basic cells in arrays and a plurality of different power lines, and supplying the cell rows with power from the power line at the highest potential out of these power lines.

SOLUTION: An inner cell region is constituted of the three cell arrays of basic cell rows 101, 102, and 103 constituting a logical circuit. Each of the cell arrays 101-103 comprises n-type diffusion areas 104, 105, and 106 constituting

pch transistors and p-type diffusion areas 107, 108, and 109 constituting Nch transistors. As a plurality of different power lines, there are two power lines of first power potential (VDD1) and second power potential (VDD2), and the potential of VDD2 is higher than that of VDD1. Moreover, the sub potential of all the pch transistors is VDD2. Hereby, these can be freely loaded mixedly, according to the scale of circuit constituting the logical circuit of each power line in inner cell region.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-148443

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/82		H 0 1 L 21/82	L
	27/118			M
	27/04		27/04	A
	21/822			D

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平7-303152

(22)出願日 平成7年(1995)11月21日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 大嶋 正幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

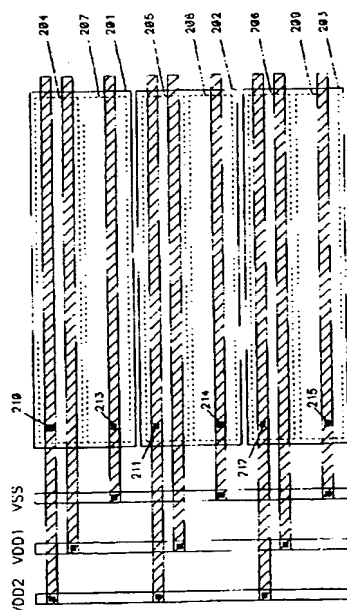
(54)【発明の名称】 多電源ゲートアレイ

(57)【要約】

【課題】1チップ内に多電源で動作する論理回路を構成した場合でも内部セル領域の使用効率の良い多電源ゲートアレイを提供する。

【解決手段】ゲートアレイの内部セル領域において、論理回路を構成する基本セル列と、複数の異なる電源系とからなり、前記セル列に前記電源系の中で最高電位の電源系が供給されている。前記基本セル列を構成する基本セルにおいて、前記複数の異なる電源系が同一基本セル上に配線されている。

【効果】内部セル領域のNWE L電位が全て最高電源電位になっているため、内部セル領域において各電源系の論理回路を構成する回路規模に応じて自由に混載することができる。また、これにより内部セル領域の使用効率を上げることができ、チップサイズを小さくすることができる。



【特許請求の範囲】

【請求項1】ゲートアレイの内部セル領域において、論理回路を構成する基本セル列と、複数の異なる電源系とからなり、前記セル列に供給される電源が前記電源系の中で最高電位の電源系である事を特徴とする多電源ゲートアレイ。

【請求項2】前記基本セル列を構成する基本セルにおいて、前記複数の異なる電源系が同一基本セル上に配線される事を特徴とする多電源ゲートアレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の内部多電源ゲートアレイに関する。

【0002】

【従来の技術】従来の多電源ゲートアレイ(G/A)は2電源動作が主流であり、第1の電源電位(VDD1)系のデータと、第2の電源電位(VDD2)系のデータの2つの異なる電位を持つデータの入出力が可能である。

【0003】図4にVDD1とVDD2の2電源で動作する従来のG/Aの構成図を示す。

【0004】IC外部との信号インターフェイス(I/F)を行うためのチップ周辺に設けられたI/Oセル領域401と、論理回路を構成するための内部セル領域402により構成されており、内部セル領域は基本セルが整然と配列されている。

【0005】基本セルを配列した1セル列(ROW)403はVDD1またはVDD2の供給を行うN型拡散領域(NWEL)とVSSの供給を行うP型拡散領域(PWEL)とからなり、隣接する基本セルの各々のNWELおよびPWELが接続しており1ROWごとに1塊のNWEL404およびPWEL405を形成している。

【0006】よって、VDD1の供給されたROWにVDD1系の論理回路を構成し、VDD2の供給されたROWにVDD2系の論理回路を構成していた。

【0007】また、VDD1系のデータとVDD2系のデータのI/Fを行うレベルシフタはVDD1とVDD2の供給された2ROWを使用して構成していた。

【0008】図5に従来の基本セルの構成図を示す。NWEL501上に形成されたPchトランジスタ503、504と、PWEL502上に形成されたNchトランジスタ505、506と、Pchトランジスタ503、504上に配線された一本のVDD電源配線と、Nchトランジスタ505、506上に配線された一本のVSS電源配線とからなり、NWEL501およびPWEL502は各々の電源配線より電位を供給されていた。

【0009】

【発明が解決しようとする課題】しかし前述の従来技術では、各ROWごとに構成できる論理回路の電源系が決

定されるため、内部セル領域のVDD1系およびVDD2系への振り分けがROW単位になってしまい、これは内部セル領域の使用効率の低下につながり、チップ面積の増加についてはチップコストの増加につながるという問題点を有する。

【0010】そこで本発明はこのような問題点を解決するもので、その目的とするところは、1チップ内に多電源で動作する論理回路を構成した場合でも内部セル領域の使用効率の良い多電源G/Aを提供する事にある。

10 【0011】

【課題を解決するための手段】本発明の多電源ゲートアレイはG/Aの内部セル領域において、論理回路を構成する基本セル列と、複数の異なる電源系とからなり、前記セル列に供給される電源が前記電源系の中で最高電位の電源系である事を特徴とする。

【0012】また、前記基本セル列を構成する基本セルにおいて、前記複数の異なる電源系が同一基本セル上に配線される事を特徴とする。

【0013】

20 【発明の実施の形態】本発明の第1の実施例として図1に多電源G/Aの内部セル領域の構成図を示す。

【0014】図1において、基本セル列101、102、103の3ROWで内部セル領域を構成している基本セル列101、102、103の各々はPchトランジスタを構成するNWEL104、105、106とNchトランジスタを構成するPWEL107、108、109で構成されている。異なる複数の電源系としてVDD1とVDD2の2つの電源系があり、VDD1の電位よりVDD2の電位が高電位であるという関係が成り立っている。アルミ配線によりVSSがPWEL107、108、109上に配線され、コンタクト113、114、115によりPWEL107、108、109にVSSを供給している。またNWEL104、105、106上にはVDD1が配線されており、VDD2はNWEL上には配線されていないがコンタクト110、111、112によってNWEL104、105、106に電源供給されている。つまり、基本セル列101、102、103に構成する全てのPchトランジスタのサブストレート(サブ)電位は高電位のVDD2となる。

【0015】これにより、PchトランジスタのソースをNWEL104、105、106上のVDD1配線に接続することによりVDD1系の論理回路を構成することができ、Pchトランジスタのソースをサブに接続することによりVDD2系の論理回路を構成することができ、1ROW内にVDD1系の論理回路とVDD2系の論理回路を混在することができる。

【0016】本発明の第2の実施例として図2に多電源G/Aの内部セル領域の構成図を示す。

50 【0017】図2において、基本セル列201、20

2、203の3ROWで内部セル領域を構成している。基本セル列201、202、203の各々はPchトランジスタを構成するNWEL204、205、206とNchトランジスタを構成するPWEL207、208、209で構成されている。アルミ配線によりVSSがPWEL207、208、209上に配線され、コンタクト213、214、215によりPWEL207、208、209にVSSを供給している。またNWEL204、205、206上にはVDD1とVDD2の両電源が配線されており、コンタクト210、211、212によってNWEL204、205、206にVDD2が電源供給されている。つまり、基本セル列201、202、203に構成する全てのPchトランジスタのサブ電位は高電位のVDD2となる。

【0018】これにより、PchトランジスタのソースをNWEL204、205、206上のVDD1配線に接続することによりVDD1系の論理回路を構成することができ、PchトランジスタのソースをVDD2配線に接続することによりVDD2系の論理回路を構成することができ、1ROW内にVDD1系の論理回路とVDD2系の論理回路を混在することができる。

【0019】また、図3(a)は本発明の2電源論理回路の混載例を示す構成図である。

【0020】図3(a)において、基本セル301、302が横方向に配置され基本セル列を構成している。NWEL303上にPchトランジスタ305、306、307、308が形成され、PWEL304上にNchトランジスタ309、310、311、312が形成されている。Pchトランジスタ上にVDD1配線とVDD2配線が配線され、Nchトランジスタ上にVSS配線が配線されている。N型拡散313、314とVDD2配線がコンタクト317、318により接続されているためNWEL303にはVDD2が供給され、Pchトランジスタ305、306、307、308のサブ電位はVDD2となっている。また、コンタクト319をVDD1配線上に形成したことによりPchトランジスタ305、306のソース電位がVDD1となり、コンタクト320をVDD2配線上に形成したことによりPchトランジスタ307、308のソース電位がVDD2となっている。また、P型拡散315、316とVSS配線がコンタクト321、322により接続されているためPWEL304にはVSSが供給され、また、コンタクト323、324がVSS配線上に形成してあるため、Nchトランジスタ309、310、311、312のサブおよびソース電位はVSSとなっている。

【0021】図3(b)に図3(a)の等価回路図を示すが、VDD1をソース、VDD2をサブとしたPchトランジスタを有し、A1を入力、X1を出力とするVDD1系インバータ325と、VDD2をソース、サブ

電位としたPchトランジスタを有し、A2を入力、X2を出力とするVDD2系インバータ326を1ROW内に構成している。

【0022】また、図3において、インバータを用いたが、これはVDD1系、VDD2系の全ての論理回路および、VDD1系のデータとVDD2系のデータの1Fを行うレベルシフトにおいても同様に対応する。

【0023】また、図1、図2、図3において、VDD1、VDD2の2つの電源を用いたが、これは3電源以上の電源供給を行う場合においても同様に対応する。

【0024】

【発明の効果】以上述べたように本発明によれば、内部セル領域のNWEL電位が全て最高電源電位になっているため、内部セル領域において各電源系の論理回路を構成する回路規模に応じて自由に混載することができるといふ効果がある。また、これにより内部セル領域の使用効率を上げることができ、チップサイズを小さくすることができるという効果もある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す多電源G_Aの内部セル領域の構成図。

【図2】本発明の第2の実施例を示す多電源G_Aの内部セル領域の構成図。

【図3】(a)は本発明の2電源論理回路の混載例を示す構成図であり、(b)は(a)の回路の等価回路図。

【図4】従来例を示す2電源G_Aの構成図

【図5】従来例を示す基本セルの構成図

【符号の説明】

101、102、103、201、202、203、403 基本セル列

104、105、106、204、205、206、303、404、501NWEL

107、108、109、207、208、209、304、405、502PWEL

110、111、112、113、114、115、210、211、212、213、214、215、317、318、319、320、321、322、323、324

コンタクト

301、302 基本セル

305、306、307、308、503、504 Pchトランジスタ

309、310、311、312、505、506 Nchトランジスタ

313、314 N型拡散

315、316 P型拡散

325、326 インバータ

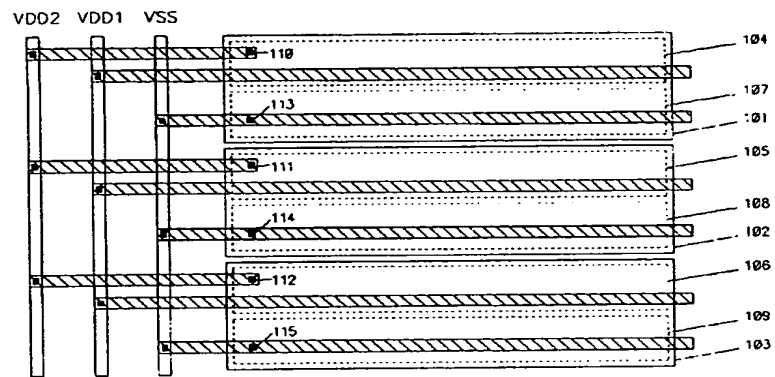
401 1ROWセル領域

102 内部セル領域

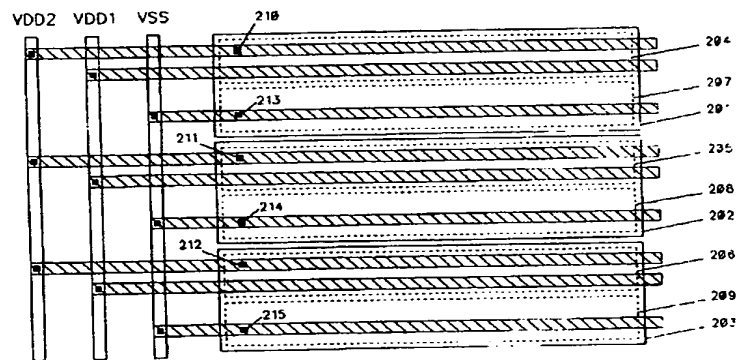
(4)

特開平9-148143

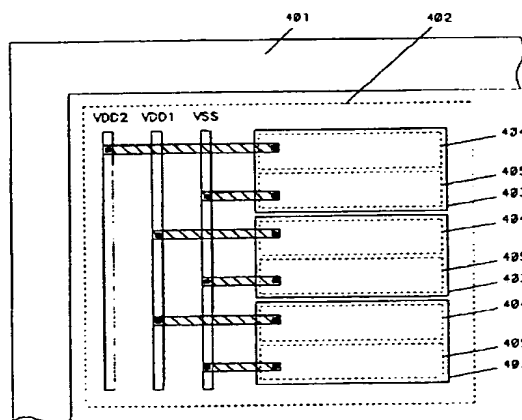
【図1】



【図2】



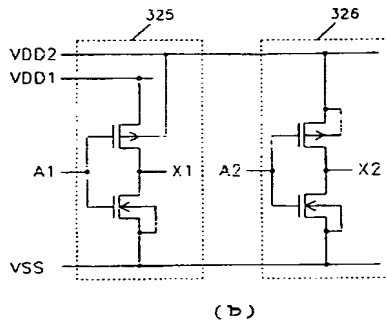
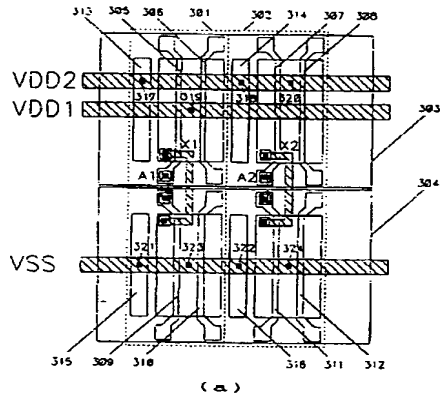
【図4】



(5)

特開平9-148443

【図3】



【図5】

